

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-179023

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

G01R 33/04  
H01L 29/82  
H01L 43/00

(21)Application number : 06-324234

(71)Applicant : RES DEV CORP OF JAPAN

(22)Date of filing : 27.12.1994

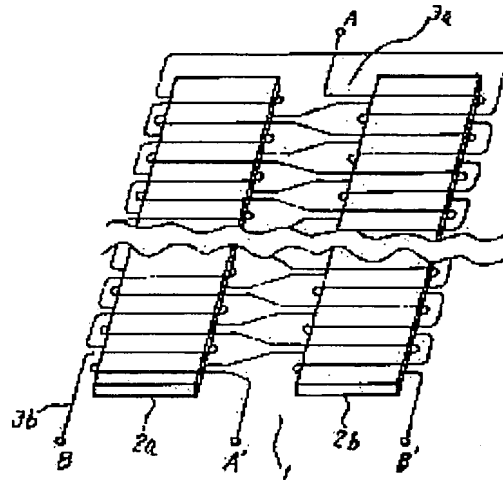
(72)Inventor : KAWAHITO SHOJI  
NAKAMURA TETSUO

### (54) MAGNETIC DETECTING ELEMENT INTEGRATED ON SEMICONDUCTOR SUBSTRATE AND MAGNETIC DETECTING MODULE

(57)Abstract:

PURPOSE: To accurately detect magnetism with high sensitivity and extremely miniaturize a device.

CONSTITUTION: Magnetic detecting elements integrated on a semiconductor substrate 1 are constituted of soft magnetic film cores 2a, 2b formed on the semiconductor (silicon) substrate 1, an exciting coil 3b made of a metal film for AC-exciting the soft magnetic film cores 2a, 2b, and a magnetic flux change detecting coil 3a made of a metal film. The exciting coil 3b and the magnetic flux change detecting coil 3a are wound in turn on the soft magnetic film cores 2a, 2b.



### LEGAL STATUS

[Date of request for examination] 21.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3545074

[Date of registration] 16.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-179023

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl.<sup>6</sup>

G 0 1 R 33/04

H 0 1 L 29/82

43/00

識別記号

庁内整理番号

9307-2G

Z

F I

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平6-324234

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 390014535

新技術事業団

埼玉県川口市本町4丁目1番8号

(72) 発明者 川人 祥二

愛知県豊橋市王ヶ崎町上原1-3 王ヶ崎  
住宅1-202

(72) 発明者 中村 哲郎

愛知県豊橋市北山町字東浦2-1 合同宿  
舎高師住宅3-404

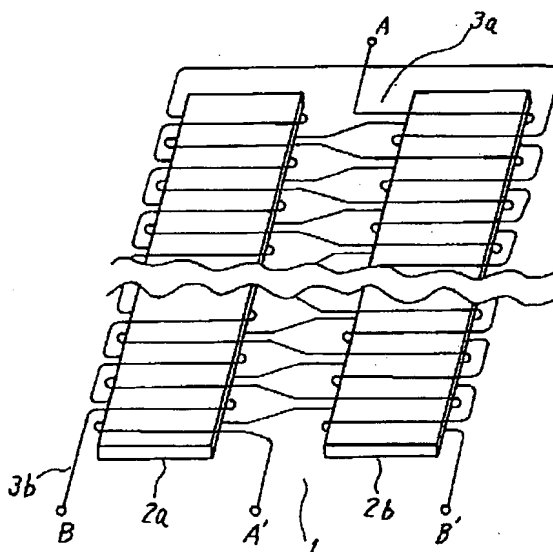
(74) 代理人 弁理士 清水 守

(54) 【発明の名称】 半導体基板に集積される磁気検出素子及び磁気検出モジュール

(57) 【要約】

【目的】 感度が高く、正確な磁気の検出を行うことができ、しかも超小型化が可能な半導体基板上に集積される磁気検出素子及び磁気検出モジュールを提供する。

【構成】 半導体基板に集積される磁気検出素子において、半導体（シリコン）基板1上に形成される軟磁性膜コア2a、2bと、この軟磁性膜コア2a、2bを交流的に励磁するための金属膜により形成される励磁コイル3bと、金属膜により形成される磁束変化検出用コイル3aとを形成し、軟磁性膜コア2a、2bに励磁コイル3bと磁束変化検出用コイル3aを1ターンずつ交互に巻いた構造を有する。



1: 半導体基板(シリコン基板)  
2a, 2b: 軟磁性膜コア  
3a: 磁束変化検出コイル  
3b: 励磁コイル

1

2

## 【特許請求の範囲】

【請求項1】 半導体基板に集積される磁気検出素子において、(a)半導体基板上に形成される軟磁性膜コアと、(b)該軟磁性膜コアを交流的に励磁するための金属膜により形成される励磁コイルと、(c)金属膜により形成される磁束変化検出用コイルとを形成したことを特徴とする磁気検出素子。

【請求項2】 請求項1記載の磁気検出素子において、前記軟磁性膜コアを2個並設し、前記軟磁性膜コアに励磁コイル $n$ ターン( $n$ は正の整数)と磁束変化検出用コイル $m$ ターン( $m$ は正の整数)を交互に繰り返して巻いた構造を有し、被検出磁界が零のとき、励磁コイルによる誘導波形を打ち消すようにした磁気検出素子。

【請求項3】 請求項1記載の磁気検出素子において、前記励磁コイルと磁束変化検出用コイルを2つの平面コイルとして重ね、その上に前記軟磁性膜コアを重ねた構造を有する磁気検出素子。

【請求項4】 半導体基板に集積される磁性体を用いた磁気検出モジュールにおいて、(a)前記半導体基板上に形成される軟磁性コアと、該軟磁性コアを交流的に励磁するための金属膜により形成される励磁コイルと、金属膜により形成される磁束変化検出用コイルとを有する磁気検出素子と、(b)前記励磁コイルに接続され、前記半導体基板に集積される励磁コイル駆動用集積回路と、(c)前記磁束変化検出用コイルに接続され、前記半導体基板に集積される磁気検出信号処理用集積回路とを具備する磁気検出モジュール。

【請求項5】 請求項4記載の磁気検出モジュールにおいて、前記励磁コイル駆動用集積回路は、パルス発振器と分周回路と駆動回路とを具備する磁気検出モジュール。

【請求項6】 請求項4記載の磁気検出モジュールにおいて、前記磁気検出信号処理用集積回路は、制御信号発生回路と高周波増幅器とクロス結合スイッチと低域通過フィルタとを具備する磁気検出モジュール。

【請求項7】 半導体基板に集積される磁性体を用いた磁気検出モジュールにおいて、(a)半導体基板上に形成される半導体磁気検出素子と、(b)該半導体磁気検出素子を挟むように配置される一対の軟磁性コアと、(c)該軟磁性コアに巻き回される金属膜により形成される励磁コイルとを具備する磁気検出モジュール。

【請求項8】 請求項7記載の磁気検出モジュールにおいて、前記半導体磁気検出素子はホール素子である磁気検出モジュール。

【請求項9】 請求項7記載の磁気検出モジュールにおいて、前記半導体磁気検出素子は分割ドレイン型磁気トランジスタである磁気検出モジュール。

【請求項10】 半導体基板に集積される磁性体を用いた磁気検出モジュールにおいて、(a)半導体基板の中央部に形成される分割ドレイン型磁気トランジスタと、

(b)該磁気トランジスタの両側に形成される溝と、(c)該溝の底部に形成され、前記磁気トランジスタに接続される配線層と、(d)前記溝の下部に形成されるコイルの下層配線と、(e)該コイルの下層配線の上方に形成される軟磁性コアと、(f)該軟磁性コアの上方に配置され、前記コイルの下層配線と接続されるコイルの上層配線とを具備する磁気検出モジュール。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板に集積される軟磁性コアを用いた磁気検出素子及び磁気検出モジュールに関するものである。

【0002】

【従来の技術】 軟磁性体とコイルを用いた磁気センサは、古くから非常に感度の高い磁気センサとして用いられている。このような磁気センサは、比較的大きな棒状のコアか、軟磁性リボン(薄帯)をリング状に巻いたコアに、コイルを手作業により巻くことにより作製される。また、測定磁界に比例した電圧を得るためには、電子回路が必要となる。

【0003】 このような磁気センサの磁気検出素子を薄膜軟磁性コアと平面型の薄膜コイルにより実現する方法も考案されている。一方、半導体を用いた磁気センサは、小型で量産も容易であるため、広く用いられている。また、半導体磁気センサと、同じ基板上に空心のコイルを形成し、磁束による負帰還を行う方法も提案されている。

【0004】

【発明が解決しようとする課題】 従来の大きな棒状コア、または軟磁性リボンによるリング形状コアに、手巻きによるコイルを巻き、また電子回路を個別部品により構成する磁気センサは、磁気検出部及び装置全体が大がかりとなり、制作費も高くなる。また、従来の薄膜軟磁性コアと平面薄膜コイルを用いた磁気検出素子では、励磁コイルにより発生する磁束変化による大きな誘導波形が、測定磁界の有無に関わらず、検出コイルに現れてしまう。このために、その波形を増幅したり、波形の変化から、測定磁界に比例した成分を抽出するための処理が難しくなる。例えば、波形が飽和したり、オフセットが大きくなったりという問題のために、高感度な検出を困難にする。

【0005】 従来の(半導体基板を用いない)磁気センサでは、測定磁界がないときに誘導波形を打ち消す方法は存在している。また、従来の半導体磁気センサは、感度は、分解能が低く、その用途が限られていた。また、半導体磁気センサと、空心のコイルを同一基板上に形成し、負帰還を行う方法によっても、感度や分解能における著しい改善はみられない。

【0006】 本発明は、上記問題点を除去し、感度が高く、正確な磁気を検出を行うことができ、しかも超小型

化が可能な半導体基板上に集積される磁気検出素子及び磁気検出モジュールを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するために、

(1) 半導体基板上に集積される磁気検出素子において、半導体基板上に形成される軟磁性膜コアと、この軟磁性膜コアを交流的に励磁するための金属膜により形成される励磁コイルと、金属膜により形成される磁束変化検出用コイルとを形成するようにしたものである。

【0008】(2) 上記(1)記載の磁気検出素子において、前記軟磁性膜コアを2個並設し、その軟磁性膜コアに励磁コイルと磁束変化検出用コイルを1ターンずつ交互に巻いた構造を有し、測定磁界が零のとき、磁束変化検出用コイルに誘導波形が現れないようにしたものである。

(3) 上記(1)記載の磁気検出素子において、前記2つの励磁コイルと2つの磁束変化検出用コイルを2つの平面コイルとして重ね、その上に前記軟磁性膜コアを重ねた構造を有し、測定磁界が零のとき、磁束変化検出用コイルに誘導波形が現れないようにしたものである。

【0009】(4) 半導体基板上に集積される磁性体を用いた磁気検出モジュールにおいて、半導体基板上に形成される軟磁性コアと、この軟磁性コアを交流的に励磁するための金属膜により形成される励磁コイルと、金属膜により形成される磁束変化検出用コイルとを有する磁気検出素子と、前記励磁コイルに接続され、前記半導体基板上に集積される励磁コイル駆動用集積回路と、前記磁束変化検出用コイルに接続され、前記半導体基板上に集積される磁気検出信号処理用集積回路とを設けるようにしたものである。

【0010】(5) 上記(4)記載の磁気検出モジュールにおいて、前記励磁コイル駆動用集積回路は、パルス発振器と分周回路と駆動回路とを設けるようにしたものである。

(6) 上記(4)記載の磁気検出モジュールにおいて、前記磁気検出信号処理用集積回路は、制御信号発生回路と高周波増幅器とクロス結合スイッチと低域通過フィルタとを設けるようにしたものである。

【0011】(7) 半導体基板上に集積される磁性体を用いた磁気検出モジュールにおいて、半導体基板上に形成される半導体磁気検出素子と、この半導体磁気検出素子を挟むように配置される一対の軟磁性コアと、この軟磁性コアに巻き回される金属膜により形成される励磁コイルとを設けるようにしたものである。

(8) 上記(7)記載の磁気検出モジュールにおいて、前記半導体磁気検出素子はホール素子である。

【0012】(9) 上記(7)記載の磁気検出モジュールにおいて、前記半導体磁気検出素子は分割ドレイン型磁気トランジスタである。

10

(10) 半導体基板上に集積される磁性体を用いた磁気検出モジュールにおいて、半導体基板の中央部に形成される分割ドレイン型磁気トランジスタと、この溝の底部に形成され、前記磁気トランジスタに接続される配線層と、前記溝の下部に形成されるコイルの下層配線と、このコイルの下層配線の上に形成される軟磁性コアと、この軟磁性コアの上に配置され、前記コイルの下層配線と接続されるコイルの上層配線とを設けるようにしたものである。

10 【0013】

【作用】本発明によれば、上記のように、

(1) 半導体基板上に集積される磁気検出素子において、半導体基板上に形成される軟磁性膜コアと、この軟磁性膜コアを交流的に励磁するための金属膜により形成される励磁コイルと、金属膜により形成される磁束変化検出用コイルとを形成するようにしたので、感度が高く、しかも正確に微弱な磁気を検出を行うことができ、しかも超小型の半導体基板上に集積される磁気検出素子を得ることができる。

20

【0014】(2) 特に、モノリシック半導体基板上に薄膜技術を用いて、軟磁性膜コア、励磁コイル、磁束変化検出用コイルを積層することができる磁気検出素子を提供することができる。

(3) 半導体基板上で、励磁コイルと検出コイルを1ターンずつ交互に巻き、かつ2つの軟磁性膜コアを用いて、外部磁界がないとき、誘起波形の打ち消しを行う巻線構造としているので、超小型で、高感度であり、かつ非常に微弱な磁界が検出できる磁気検出素子を得ることができる。

30

【0015】(4) 半導体基板上に集積される磁性体を用いた磁気検出モジュールにおいて、磁気検出素子、及びその磁気検出素子に必要な電子回路を集積回路として一体化することにより、磁気検出モジュール全体を超小型で実現することにより、超小型で、高感度であり、しかも安価で大量生産に優れた磁気検出モジュールを得ることができる。

【0016】(5) 特に、モノリシック半導体基板上に薄膜技術を用いて、軟磁性膜コア、励磁コイル、磁束変化検出用コイル、その磁気検出素子に必要な電子回路を集積回路として一体化することができる磁気検出モジュールを提供することができる。

40 【0017】

【実施例】本発明の実施例について図を参照しながら説明する。図1は本発明の第1実施例の磁気検出素子の概略構成図、図2はその磁気検出素子の動作を示すタイミングチャートであり、図2(a)は軟磁性膜コア2aにおける磁界の波形図、図2(b)は軟磁性膜コア2bにおける磁界の波形図、図2(c)は軟磁性膜コア2aにおける磁束密度の波形図、図2(d)は軟磁性膜コア2bにおける磁束密度の波形図、図2(e)は検出コイル

50

3 aに誘起される電圧 $V_1$ 、 $V_2$ の波形図、図2 (f)は検出コイル3 aに誘起される電圧 $V_1 + V_2$ の波形図である。

【0018】これらの図に示すように、2つの軟磁性膜コア2 a、2 bに、2つのコイル、つまり、検出コイル(A-A') 3 aと、励磁コイル(B-B') 3 bを巻いた構造を、半導体基板1上に構成する。なお、集積回路を一体化せず、磁気検出素子のみ実現する場合には、ガラス基板なども利用できる。励磁コイル3 bを図のよう10に巻くと、励磁交流電流によって生じるコア内の磁界が、2つのコアで逆向きになる。一方、検出コイル3 aは、2つのコアにまたがって巻いており、このようにすると、励磁交流電流により電磁誘導のために発生する検出コイル3 aにおける誘起電圧は、2つのコア内の磁界が逆向きなので打ち消される。コア軸方向から外部磁界 $H_e$ が加わると、2つのコアに対し同じ向きに加わるので、励磁磁界を $H_e$ とすると、2つのコア内の磁界は、それぞれ $H_e + H_m$ 、 $H_e - H_m$ となる。このとき、図2に示すように、検出コイル3 aに電圧が誘起される。その大きさを求めることにより、外部磁界 $H_e$ の大きさを10知ることができる。

【0019】特に、半導体(シリコン)基板1を用いる磁気検出素子において、励磁コイル3 bと検出コイル3 aを2つの軟磁性膜コア2 a、2 bに1ターンずつ交互に巻いた構造にすることが重要である。このように、半導体基板1上で、励磁コイル3 bと検出コイル3 aを12ターンずつ交互に巻き、かつ2つの軟磁性膜コア2 a、2 bを用いて、外部磁界 $H_e$ がないとき、誘起波形の打ち消しを行う巻線構造としている。

【0020】また、上記の構成とは異なり、1つのコアに励磁コイルと検出コイルを巻いたものでも検出は可能であるが、この場合には、外部磁界がなくても検出コイルに大きな誘起電圧波形が生じてしまい、増幅やフィルタリング等の検出コイル出力に対する信号処理が面倒になる。次に、図1に示される磁気検出素子を半導体基板上に形成する場合の例を図3及び図4に示す。

【0021】図3は本発明の第1実施例を示す磁気検出素子の概略平面図、図4は図3のC-C'線断面図である。これらの図に示すように、半導体基板(シリコン基板) 11上にはシリコン酸化膜などの絶縁膜(シリコン酸化膜) 12を形成し、その上に、2層の金属配線、つまり、コイルの下層配線13とコイルの上層配線18とをスルーホール17を介して接続することにより、図1に示したと同様な巻線構造の励磁コイル(B-B') 3 b、検出コイル(A-A') 3 aを実現する。コイルの上層配線18とコイルの下層配線13間に、絶縁膜(ポリイミドなど) 14、16を介して軟磁性膜コア15を挟んでいる。

【0022】従来型の(半導体基板を用いない)磁気検出素子においても、2つのコアに励磁コイルと検出コイ

ルを巻いて、外部磁界がないときに、電磁誘導による誘起波形を打ち消すようにしたものは存在している。半導体基板を用いる場合は、励磁コイルと検出コイルを1ターンずつ交互に巻いた構造とすることが重要である。そうしないと、軟磁性膜コアは、漏れ磁束が大きく、励磁コイルによる磁束の変化を検出コイルで十分ピックアップできなくなる。半導体基板上で、励磁コイルと検出コイルを1ターンずつ交互に巻き、かつ2つのコアを用いて、外部磁界がないときと誘起波形の打ち消しを行う巻線構造が発明の1つ特徴点である。

【0023】以下、上記した第1実施例を示す磁気検出素子の製造方法について、図5を参照しながら説明する。図5は本発明の第1実施例を示す磁気検出素子の製造工程断面図である。ここでは、半導体シリコン基板を用いた場合で説明する。

(1) まず、図5 (a)に示すように、シリコン基板11上に基板との絶縁のため、熱酸化により絶縁膜(シリコン酸化膜) 12を形成する。

【0024】(2) 次に、図5 (b)に示すように、コイルの下層配線13となる金属材料を堆積し、ICプロセスのホトリソグラフィとエッチングによってパターンニングを行う。金属材料としては、AlやCuを用いる。堆積法は、スパッタ、蒸着など様々であるが、Cuを厚く堆積する場合、電気めっき、無電解めっきが有効である。

【0025】(3) 次に、図5 (c)に示すように、絶縁をとるための絶縁膜(ポリイミドなど) 14を堆積する。これは、スパッタやCVD(化学気相成長)によるシリコン酸化膜、ハードキュアを行ったホトレジスト、ポリイミドなどが利用できる。また、このとき、配線パターンによって磁性膜の下地に凹凸ができないよう平坦化を行う。

【0026】(4) 次に、図5 (d)に示すように、軟磁性材料をを堆積し、パターンニングし、軟磁性膜コア15を形成する。この堆積法としては、電気めっき法やスパッタ法、蒸着法等が利用できる。また、軟磁性材料としては、パーマロイ(NiとFeの合金)、各種のアモルファス磁性合金、及びこれらと非磁性材料を交互に積み重ねた多層軟磁性膜が利用できる。

【0027】(5) 次に、図5 (e)に示すように、絶縁をとるための絶縁膜(ポリイミドなど) 16を堆積する。

(6) 次に、図5 (f)に示すように、スルーホール17をホトリソグラフィとエッチングによって形成する。

(7) 次に、図5 (g)に示すように、コイルの上層配線18となる金属材料を堆積し、パターンニングを行う。このとき磁性膜によって、大きな段差を生じるので、ホトリソグラフィにおいては、厚膜レジストを用いるか、または多層レジスト工程などを応用する。

【0028】次に、本発明の第2実施例について説明す

7

8

る。図6は本発明の第2実施例を示す磁気検出素子の概略構成図である。この図に示すように、半導体基板上に、同一平面に形成される2つの平面コイルからなる検出コイル21a、21bと、その上方に配置される1つの平面コイルからなる励磁コイル22と、その上方であって、同一平面に形成される2つの軟磁性膜コア23a、23bを配置する。すなわち、励磁コイル22と2つの軟磁性膜コア23a、23bを図6のように重ねて励磁すると、2つの軟磁性膜コア23a、23bは、互いに逆向きに励磁される。これに、検出コイル21a、21bを重ねると、各軟磁性膜コア23a、23bの下

10

の検出コイル21a、21bには、交流励磁電流により、互いに逆極性の電圧波形が誘起される。そこで、検出コイル21a、21bを図6のように巻けば、2つの軟磁性膜コア23a、23b内の励磁磁束による誘起電圧が打ち消され、第1実施例1と同様な作用効果が期待される。

【0029】図7は本発明の第2実施例を示す磁気検出素子の概略平面図、図8は図7のD-D'線断面図である。図7及び図8において、半導体基板31上にはシリ

20

コン酸化膜などの絶縁膜32を形成し、その上に、2つの平面コイルからなる検出コイル(コイルの下層配線)33を形成し、絶縁膜(ポリイミドなど)34を介して、その上方に励磁コイル(コイルの上層配線)35形成し、更に、絶縁膜(ポリイミドなど)36を介して、同一平面に形成される2つの軟磁性膜コア37を成形する。38はコンタクトである。

【0030】以下、上記した第2実施例を示す磁気検出素子の製造方法について、図9を参照しながら説明する。図9は本発明の第2実施例を示す磁気検出素子の製造工程断面図である。ここでは、半導体シリコン基板を用いた場合で説明する。

30

(1) まず、図9(a)に示すように、シリコン基板31上に基板との絶縁のため、熱酸化により絶縁膜(シリコン酸化膜)32を形成する。

【0031】(2) 次に、図9(b)に示すように、コイルの下層配線33となる金属材料を堆積し、ICプロセスのホトリソグラフィとエッチングによってパターニングを行う。金属材料としては、AlやCuを用いる。堆積法は、スパッタ、蒸着など様々であるが、Cuを厚く堆積する場合、電気めっき、無電解めっきが有効である。

40

【0032】(3) 次に、図9(c)に示すように、絶縁をとるための絶縁膜(ポリイミドなど)34を堆積する。これは、スパッタやCVD(化学気相成長)によるシリコン酸化膜、ハードキュアを行ったホトレジスト、ポリイミドなどが利用できる。また、このとき、配線パターンによって磁性膜の下地に凹凸ができないよう平坦化を行う。

【0033】(4) 次に、図9(d)に示すように、コ

50

イルの上層配線35となる金属材料を堆積し、ICプロセスのホトリソグラフィとエッチングによってパターニングを行う。金属材料としては、AlやCuを用いる。堆積法は、スパッタ、蒸着など様々であるが、Cuを厚く堆積する場合、電気めっき、無電解めっきが有効である。

【0034】(5) 次に、図9(e)に示すように、絶縁をとるための絶縁膜(ポリイミドなど)36を堆積する。これは、スパッタやCVD(化学気相成長)によるシリコン酸化膜、ハードキュアを行ったホトレジスト、ポリイミドなどが利用できる。

(6) 次に、図9(f)に示すように、軟磁性材料を堆積し、パターニングを行い、軟磁性膜コア37を形成する。この堆積法としては、電気めっき法やスパッタ法、蒸着法等が利用できる。また、軟磁性材料としては、パーマロイ(NiとFeの合金)、各種のアモルファス磁性合金、及びこれらと非磁性材料を交互に積み重ねた多層軟磁性膜が利用できる。

【0035】このように構成することにより、第1実施例に比べて、製作工程が簡単であり、スルーホールの数も非常に少なく済むので、歩留まりが向上する。更に、上層配線の形成の際、大きな段差がないので、通常

のホトリソグラフィプロセスが適用できる。また、軟磁性膜コアを一番最後に形成できるので、素子を製作する過程において発生する熱的なストレスが軟磁性膜コアに発生せず、軟磁性膜コアの特性が向上できる。

【0036】次に、本発明の第3実施例について説明する。図10は本発明の第3実施例を示す磁気検出モジュールの概略構成図である。この図に示すように、半導体(シリコン)基板41上に励磁コイル駆動用集積回路42、磁気検出素子43及び磁気検出信号処理用集積回路44を組み合わせ、磁気検出モジュールを構成している。

【0037】ここで、磁気検出素子43としては、上記第1実施例及び第2実施例で述べた検出素子を用い、この磁気検出素子と必要な電子回路を同一半導体基板41上に集積化する。図11は本発明の第3実施例を示す磁気検出モジュールとして組み込まれる集積回路のブロック図、図12はその磁気検出モジュールの回路動作を示すタイミングチャートである。図11において、この磁気検出モジュールは、大別すると、励磁コイル駆動用集積回路51、磁気検出素子55と磁気検出信号処理用集積回路56からなる。そして、励磁コイル駆動用集積回路51は、パルス発振器52、分周回路53及び駆動回路54からなる。

【0038】また、磁気検出素子55は、コア55c、励磁コイル55a、検出コイル55bからなる。更に、磁気検出信号処理用集積回路56は、高周波増幅器57、クロス結合スイッチ回路58、低域通過フィルタ59、位相調整及び制御信号発生部60を有している。

【0039】まず、パルス発振器52で電圧パルス $P_1$  ( $4f_0$ )を発生し、この電圧パルス $P_1$  ( $4f_0$ )を、まず分周回路(第1段)53に通して、周波数が $1/2$ でデューティ比が50%のパルス $P_2$  ( $2f_0$ )に変換する。このパルスの周波数( $2f_0$ )は、十分高い感度が得られるよう1MHz程度以上の高い周波数とする。さらに、分周回路(第2段)53により、周波数がその $1/2$ のパルス $P_3$  ( $f_0$ )を生成する。駆動回路54では、このパルス $P_3$  ( $f_0$ )を3角波に変換し、磁気検出素子55の励磁コイル55aを3角波状の電流 $P_4$ で駆動する。このとき、磁気検出素子55の検出コイル55bには、外部磁界がなければ、電圧は現れず、外部磁界が加わったとき、図12(e)に示すような波形が現れる。ここで、磁界の向きが順方向のとき、実線のような波形であるとする、逆方向の磁界に対しては、破線のような波形となる。この波形を高周波増幅器57により増幅した後、クロス結合スイッチ回路58に通す。ここでは、初段の分周回路の出力をもとにして発生した図12(a)と図12(b)のような2つのパルスを用いて、電圧の極性を切り替えることにより、図12(f)のような波形に変換する。

【0040】図13はそのクロス結合スイッチ回路の動作の説明図であり、電圧の極性の切り替えの原理を示している。この図において、制御信号 $\phi$ が“1”の場合、ストレートに接続されるようスイッチが制御され、入出力の電圧の極性は同じであるが、 $\phi$ が“0”の場合、接続がクロスするようスイッチが制御され、電圧の極性が反転する。したがって、図12のようなタイミングで制御すれば、図12(f)のような波形が得られる。この後、これを低域通過フィルタ59に通せば、図12(g)の波形の直流成分が得られるが、その大きさは、外部直流磁界の大きさに比例しており、外部磁界が測定できる。なお、逆方法の磁界の場合には、図12(g)の波形は破線の通りとなり、低域通過フィルタの通過後は、逆極性の電圧が得られる。すなわち、方向性を持った検出を行うことができる。

【0041】上記のクロス結合スイッチ回路をMOSトランジスタ回路で実現すると、図14に示すような回路となる。次に、本発明の第4実施例について説明する。図15は本発明の第4実施例を示す磁気検出モジュールの概略構成図である。この実施例では、検出コイルの代わりに、半導体磁気センサを用いるようにしたものである。より具体的には、図15(a)においては、中央にホール素子を用いた半導体磁気検出素子61を配置し、これを軟磁性コア62、63と励磁コイル64、65を組み合わせて構成した磁気検出モジュールである。

【0042】また、図15(b)においては、中央に分割ドレイン型磁気トランジスタを用いた半導体磁気検出素子71を配置し、これを軟磁性コア72、73と励磁コイル74、75を組み合わせて構成した磁気検出モジ

ジュールである。これらは軟磁性コアによって磁束を収束し、半導体磁気検出素子の感度を高めたものと考えることができる。十分な効果を得るために、まず、反磁界の影響を考慮して十分に長いコアを用いる。2つのコアのギャップ部に半導体磁気検出素子を配置し、ギャップをできる限り狭くする。また、コアにコイルを巻き、コアの磁化が飽和する程度に十分大きな振幅の交流信号で励磁する。半導体磁気検出素子は、この交流励磁電流による磁界と外部磁界の和により生じたコアの磁束密度波形の変化を検出する。外部磁界によって、磁束密度波形が変化し、適当な信号処理を行うことによって、外部磁界に比例した電圧を得ることができる。

【0043】このような交流励磁を用いないと、コアが磁化してしまい、感度が下がったり、検出特性にヒステリシスを持つようになる。図16は本発明の第4実施例を示す磁気検出モジュールを半導体基板上に実現する場合の概略平面図、図17は図16のA-A線断面図である。ここでは、半導体磁気検出素子としては、分割ドレイン型磁気トランジスタを2つ用いている。これは、単結晶シリコン基板を用いて、結晶軸異方性エッチング台形状の溝を作り、溝の斜面に、2つの磁気トランジスタを構成する。また溝の斜面を利用して、下層の金属配線を形成し、また、溝の中に磁性材料を埋め込む。その上に上層配線を形成して、スルーホールを経由して、下層配線と螺旋状に接続することにより、コイルを形成する。このようにして、図15(b)と類似の構造が実現できる。

【0044】図16及び図17において、81はp型単結晶シリコン基板、84は深い部位に形成されるチャネルとなるn型不純物層、85は浅い部位に形成される上部ゲートとなるp型不純物層、87はnチャネル接合型電解効果トランジスタを利用した分割ドレイン型磁気トランジスタのドレイン( $n^+$ )拡散層、88はnチャネル接合型電解効果トランジスタを利用した分割ドレイン型磁気トランジスタのソース( $n^+$ )拡散層、89はシリコン酸化膜、90はコイルの下層配線、91は絶縁膜(ポリイミドなど)、92は溝に埋め込まれた軟磁性材料からなる軟磁性コア、93は絶縁膜(ポリイミドなど)、94はコンタクトホール、95はコイルの上層配線、96はコンタクト、97は金属電極を示している。

【0045】図18は本発明の第4実施例を示す半導体磁気センサ部の動作原理を示す図であり、この図を用いて半導体磁気センサ部の動作原理について説明すると、分割ドレイン型磁気検出素子は、チャネルの面に垂直に磁界が加わったとき、キャリアである電子が、磁界によるローレンツ力を受けて軌道が曲げられることにより、2つのドレイン間に電流差が生じ、その差が磁界の大きさに比例することを利用するものである。

【0046】このような2つの磁気トランジスタが、図18のような角度で配置され、接続されていると、図の

ような方向の磁界に対して、 $I_{y1}$ 、 $I_{y2}$ が増加し、逆に、 $I_{x1}$ 、 $I_{x2}$ は、減少する。したがって、単純に2つの磁気トランジスタを図18のように接続することによって、2つの磁気トランジスタの電流変化の和を求めることができる。また、各磁気トランジスタは、面に垂直な方向に最大感度を持つが、これらは、コアの軸に対して傾いている。しかし、2つの和を求めることによって、その合成出力はコアの軸方向に最大感度を持つようになる。

【0047】図19は本発明の第4実施例を示す磁気検出モジュールの製造工程断面図である。ここでは、半導体シリコン基板を用いた場合で説明する。

(1) まず、図19(a)に示すように、面方位100のp型の単結晶シリコン基板81を用い、その上にシリコン酸化膜を成長させ、ホトリソによりシリコン酸化膜82を形成する。

【0048】(2) 次に、シリコン酸化膜82をマスクとして、図19(b)に示すように、結晶軸異方性エッチングにより、台形状の溝を形成する。これは、アルカリ系の特殊なエッチング液を用いると、100方向に比べて111方向のエッチング速度が極端に遅くなることを利用するものである。これによって111面に相当する面が斜面となる正確な台形状の立体構造が得られる。その溝の斜面にnチャネル接合型電解効果トランジスタをベースにした分割ドレイン型磁気トランジスタを作成する。まず、パターニングされたフォトレジスト83をマスクとして、イオン注入によりn型不純物を深く導入して、チャネルとなるn型不純物層84を形成する。次いで、p型不純物を浅く導入し、上部ゲートとなるp型不純物層85を形成する。

【0049】(3) 次に、図19(c)に示すように、熱処理を兼ねてシリコン酸化膜86を熱酸化により成長させる。

(4) 次に、図19(d)に示すように、ソース、ドレインの部分の酸化膜を除去し、この部分に電極をとるため、高濃度のn型不純物を導入し、nチャネル接合型電解効果トランジスタを利用した分割ドレイン型磁気トランジスタのドレイン(n<sup>+</sup>)拡散層87と、nチャネル接合型電解効果トランジスタを利用した分割ドレイン型磁気トランジスタのソース(n<sup>+</sup>)拡散層88とを形成する。これは、熱拡散、イオン注入いずれでも可能である。

【0050】(5) 次に、図19(e)に示すように、シリコン酸化膜89を再度全体的に成長させた後、コイルの下層配線90となる金属材料を堆積し、パターニングを行う。

(6) 次に、図19(f)に示すように、絶縁材料からなる絶縁膜(ポリイミドなど)91を堆積した後、溝の中に埋め込まれた形に軟磁性材料を堆積した後、パターニングし、軟磁性コア92を形成する。

【0051】(7) 次に、再度絶縁膜(ポリイミドなど)93を堆積し、コンタクトホール94を形成した後、コイルの上層配線95を堆積してパターニングし、コイルの上層配線95とコイルの下層配線90とをコンタクト96で接続してコイルの構造を完成するとともに、磁気トランジスタのソース、ドレインへの金属電極97を形成する。

【0052】図20に、図16に示した磁気検出モジュールの構成を示す。その動作を図21のタイミングチャートを用いて説明する。パルス発振器101から出力され、図21(a)に示す基準クロックaを分周回路102に通し、図21(b)に示す1/2の周波数でデューティ比が50%のパルスbを生成する。コイルの駆動回路103で、図21(c)に示す三角波状の波形cに変換し、コアの磁化が十分飽和する程度に大きな振幅でコアを駆動する。このとき、コア内の磁束密度波形は、磁界の振幅が大きくなったところで飽和し、これを2つのコアのギャップ部に挟んだ磁気トランジスタで検出すると磁気トランジスタには、コア内の磁束密度波形と同様な、図21(d)に示す電圧波形dが発生する。外部磁界がない場合は、対称的な波形であるが、外部直流磁界が重畳すると、破線のように波形が変化する。磁気トランジスタの出力を、AC(交流)アンプ108で増幅するとともに、直流成分をカットすると、図21(e)のようになり、外部磁界がない場合変化はないが、外部磁界が加わった場合では、破線のように変化する。そこで、台形状の波形の正と負のピーク値をそれぞれサンプリングし、これらの和を求めることで台形の高さの差を求めることができる。この値は、外部の磁界に比例している。このような演算は、スイッチトキャパシタ方式の減算器110とS/H(サンプル/ホールド)回路120により行うことができる。まず、図21(f)のようなパルスを生成してこれによって負のピーク値のサンプリングを行い、その電圧でキャパシタC<sub>1</sub>を充電する。次に、図21(g)のパルスで正のピーク値のサンプリングを行うと、キャパシタC<sub>1</sub>にその電圧が充電されるとともに、正負のピーク値の差に比例した電荷がキャパシタC<sub>2</sub>に転送される。これにより生じた図21(h)に示す電圧(h)をS/H回路120でサンプルして保持することにより、図21(i)のような直流電圧が得られる。その大きさは、外部磁界に比例している。

【0053】なお、図20において、105は直流電源、106及び107は抵抗、109は制御パルス発生回路、111、112、113、116及び121はスイッチ、C<sub>3</sub>はキャパシタである。なお、104は検出コイル、114、122はMOS型オペアンプである。このような電子回路は、第3実施例の場合と同様、検出素子とともに同一シリコン基板上に作製し、集積化することができる。

【0054】なお、本発明は上記実施例に限定されるも



のではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0055】

【発明の効果】以上、詳細に述べたように、本発明によれば、以下のような効果を奏することができる。

(1) 半導体基板に集積される磁気検出素子において、半導体基板上に形成される軟磁性膜コアと、この軟磁性膜コアを交流的に励磁するための金属膜により形成される励磁コイルと、金属膜により形成される磁束変化検出用コイルとを形成するようにしたので、感度が高く、しかも正確な磁気の検出を行うことができ、しかも超小型の半導体基板上に集積される磁気検出素子を得ることができる。

【0056】(2) 特に、モノリシック半導体基板上に薄膜技術を用いて、軟磁性膜コア、励磁コイル、磁束変化検出用コイルを積層することができる磁気検出素子を提供することができる。

(3) 半導体基板上で、励磁コイルと検出コイルを1ターンずつ交互に巻き、かつ2つの軟磁性膜コアを用いて、外部磁界がないとき、誘起波形の打ち消しを行う巻線構造としているので、超小型で、高感度であり、しかも極めて微弱な磁界を検出できる磁気検出素子を得ることができる。

【0057】(4) 半導体基板に集積される磁性体を用いた磁気検出モジュールにおいて、磁気検出素子、及びその磁気検出素子に必要な電子回路を集積回路として一体化することにより、磁気検出モジュール全体を超小型で実現することにより、超小型で、高感度であり、しかも安価で大量生産の容易な磁気検出モジュールを得ることができる。

【0058】(5) 特に、モノリシック半導体基板上に薄膜技術を用いて、軟磁性膜コア、励磁コイル、磁束変化検出用コイル、その磁気検出素子に必要な電子回路を集積回路として一体化することができる磁気検出モジュールを提供することができる。このようにして得られる磁気検出素子及び磁気検出モジュールは、例えば、地磁気検出によるナビゲーションシステム、地磁気変動モニタ(地震予知)、一部の生体磁気計測、金属材料の欠陥検出、間接的な応用として、磁気エンコーダ、無接点ポテンションメータ、電流センサ、トルクセンサ、変位センサ等として、広汎な利用が可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例の磁気検出素子の概略構成図である。

【図2】本発明の第1実施例の磁気検出素子の動作を示すタイミングチャートである。

【図3】本発明の第1実施例を示す磁気検出素子の概略平面図である。

【図4】図3のC-C'線断面図である。

【図5】本発明の第1実施例を示す磁気検出素子の製造工程断面図である。

【図6】本発明の第2実施例を示す磁気検出素子の概略構成図である。

【図7】本発明の第2実施例を示す磁気検出素子の概略平面図である。

【図8】図7のD-D'線断面図である。

【図9】本発明の第2実施例を示す磁気検出素子の製造工程断面図である。

【図10】本発明の第3実施例を示す磁気検出モジュールの概略構成図である。

【図11】本発明の第3実施例を示す磁気検出モジュールとして組み込まれる集積回路のブロック図である。

【図12】本発明の第3実施例を示す磁気検出モジュールの回路動作を示すタイミングチャートである。

【図13】本発明の第3実施例を示す磁気検出モジュールのクロス結合スイッチ回路の動作の説明図である。

【図14】本発明の第3実施例を示す磁気検出モジュールのクロス結合スイッチ回路をMOSトランジスタ回路で実現した回路図である。

【図15】本発明の第4実施例を示す磁気検出モジュールの概略構成図である。

【図16】本発明の第4実施例を示す磁気検出モジュールを半導体基板上に実現する場合の概略平面図である。

【図17】図16のA-A'線断面図である。

【図18】本発明の第4実施例を示す半導体磁気センサ部の動作原理を示す図である。

【図19】本発明の第4実施例を示す磁気センサの製造工程断面図である。

【図20】本発明の第4実施例を示す磁気検出モジュールの構成図である。

【図21】本発明の第4実施例を示す磁気検出モジュールのタイミングチャートである。

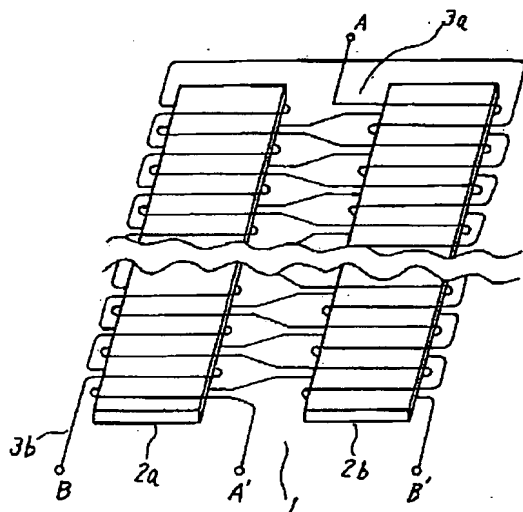
【符号の説明】

- 1, 11, 31, 41 半導体基板(シリコン基板)
- 2a, 2b, 15, 23a, 23b, 37 軟磁性膜コア
- 3a, 21a, 21b, 55b 検出コイル
- 3b, 22, 55a, 64, 65, 74, 75 励磁コイル
- 12, 32 絶縁膜(シリコン酸化膜)
- 13, 33, 90 コイルの下層配線
- 14, 16, 34, 36, 91, 93 絶縁膜(ポリイミドなど)
- 17 スルーホール
- 18, 35, 95 コイルの上層配線
- 38 コンタクト
- 42, 51 励磁コイル駆動用集積回路
- 43, 55 磁気検出素子
- 44, 56 磁気検出信号処理用集積回路

15

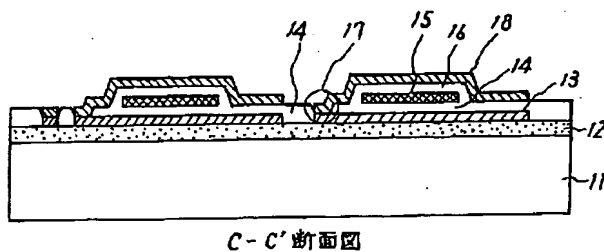
- 52, 101 パルス発振器
- 53, 102 分周回路
- 54, 103 駆動回路
- 55c コア
- 57 高周波増幅器
- 58 クロス結合スイッチ回路
- 59 低域通過フィルタ
- 60 位相調整及び制御信号発生部
- 61, 71 半導体磁気検出素子
- 62, 63, 72, 73, 92 軟磁性コア
- 81 p型単結晶シリコン基板
- 82, 86, 89 シリコン酸化膜
- 83 フォトリソスト
- 84 チャネルとなるn型不純物層
- 85 上部ゲートとなるp型不純物層

【図1】



- 1: 半導体基板(シリコン基板)
- 2a, 2b 軟磁性膜コア
- 3a: 磁束変化検出コイル
- 3b: 励磁コイル

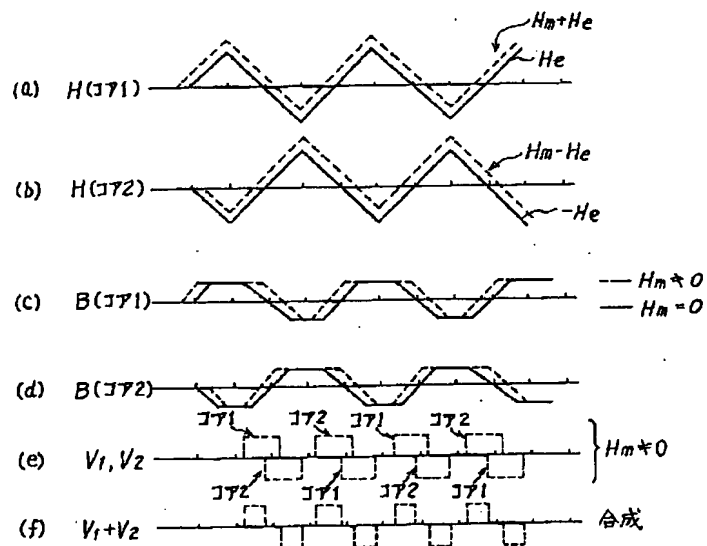
【図4】



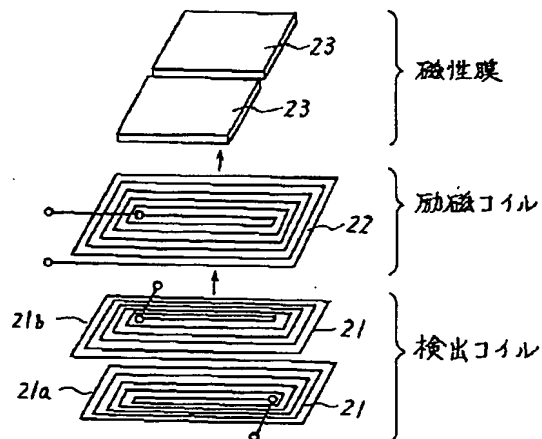
16

- 87 分割ドレイン型磁気トランジスタのドレイン (n<sup>+</sup>) 拡散層
- 88 分割ドレイン型磁気トランジスタのソース (n<sup>+</sup>) 拡散層
- 94 コンタクトホール
- 96 コンタクト
- 97 金属電極
- 105 直流電源
- 106, 107 抵抗
- 10 108 AC (交流) アンプ
- 109 制御パルス発生回路
- 110 減算器
- 111, 113, 116, 121 スイッチ
- 120 S/H (サンプル/ホールド) 回路

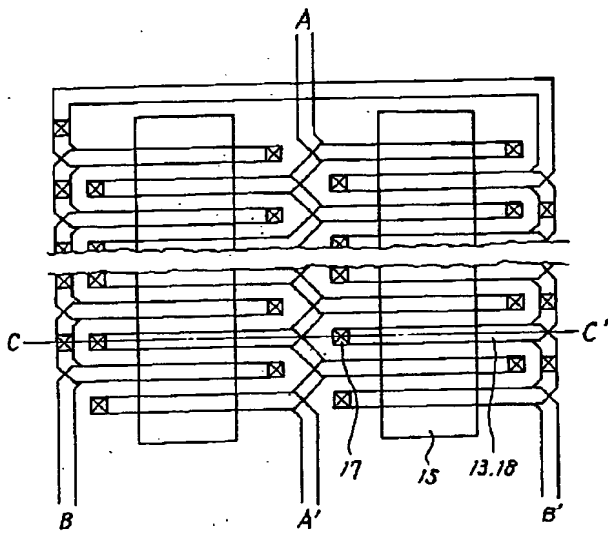
【図2】



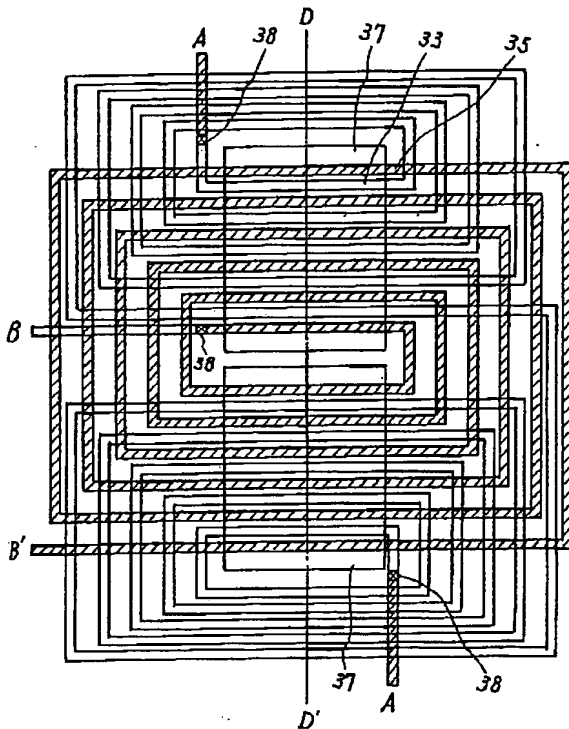
【図6】



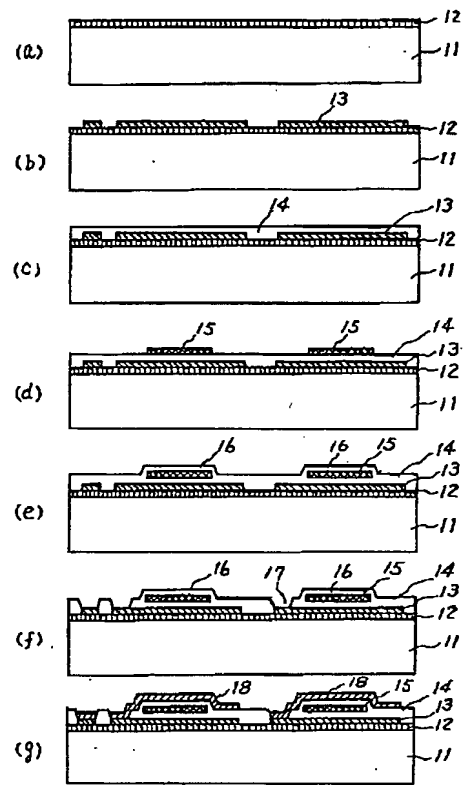
【図3】



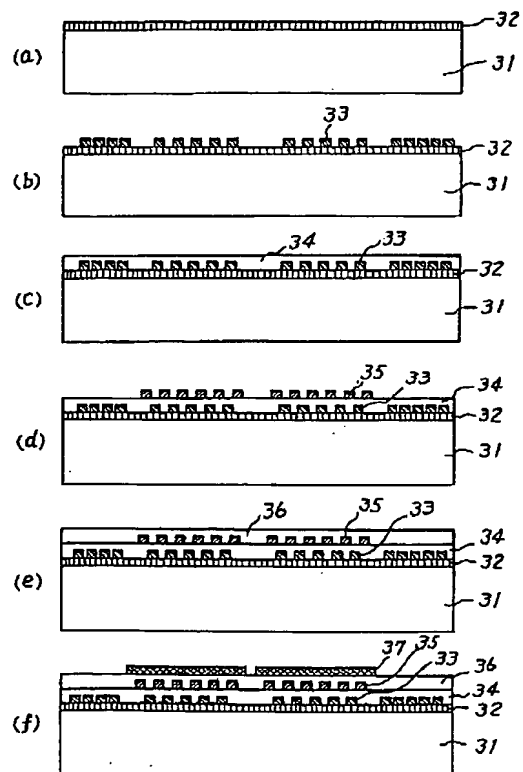
【図7】



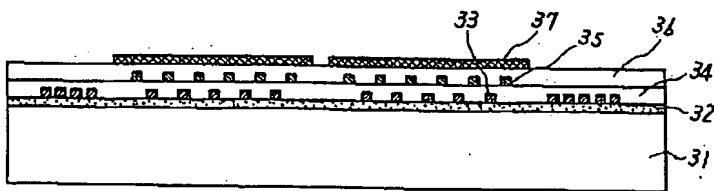
【図5】



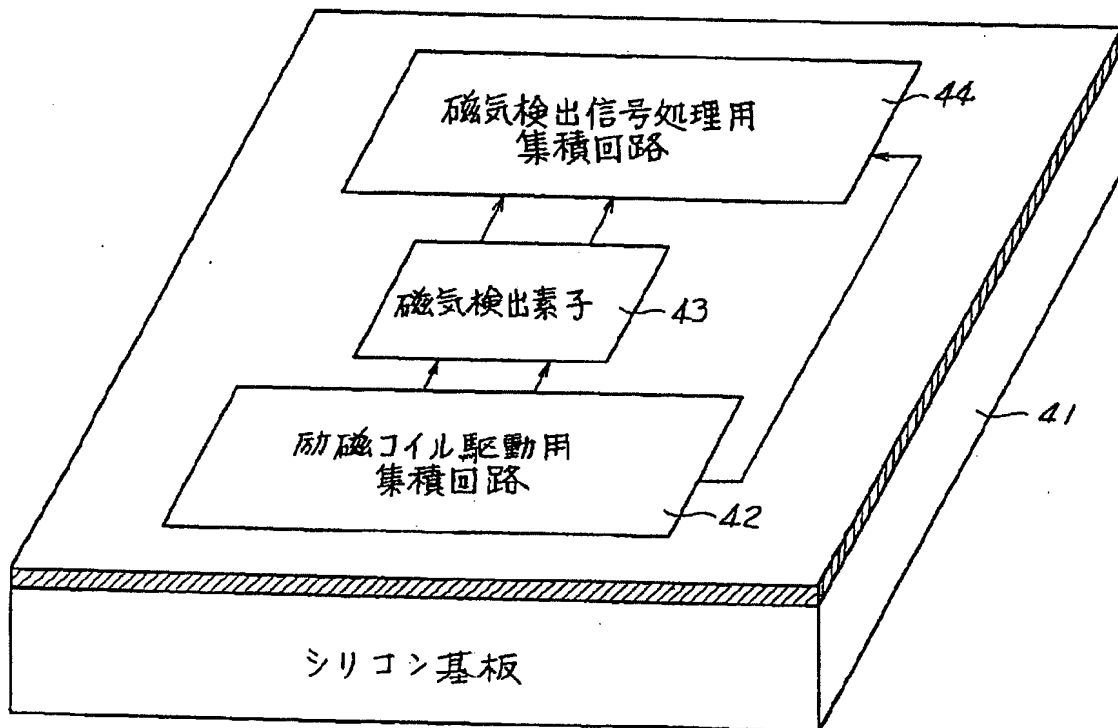
【図9】



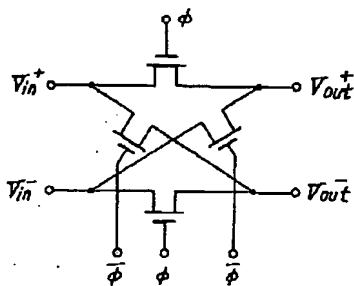
【図8】



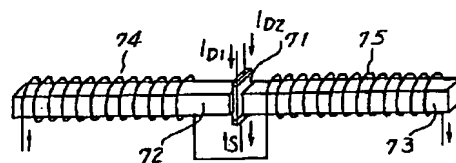
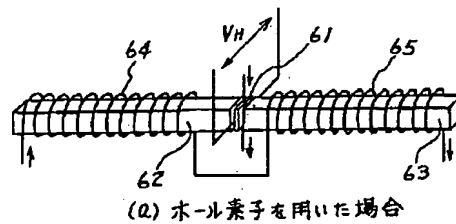
【図10】



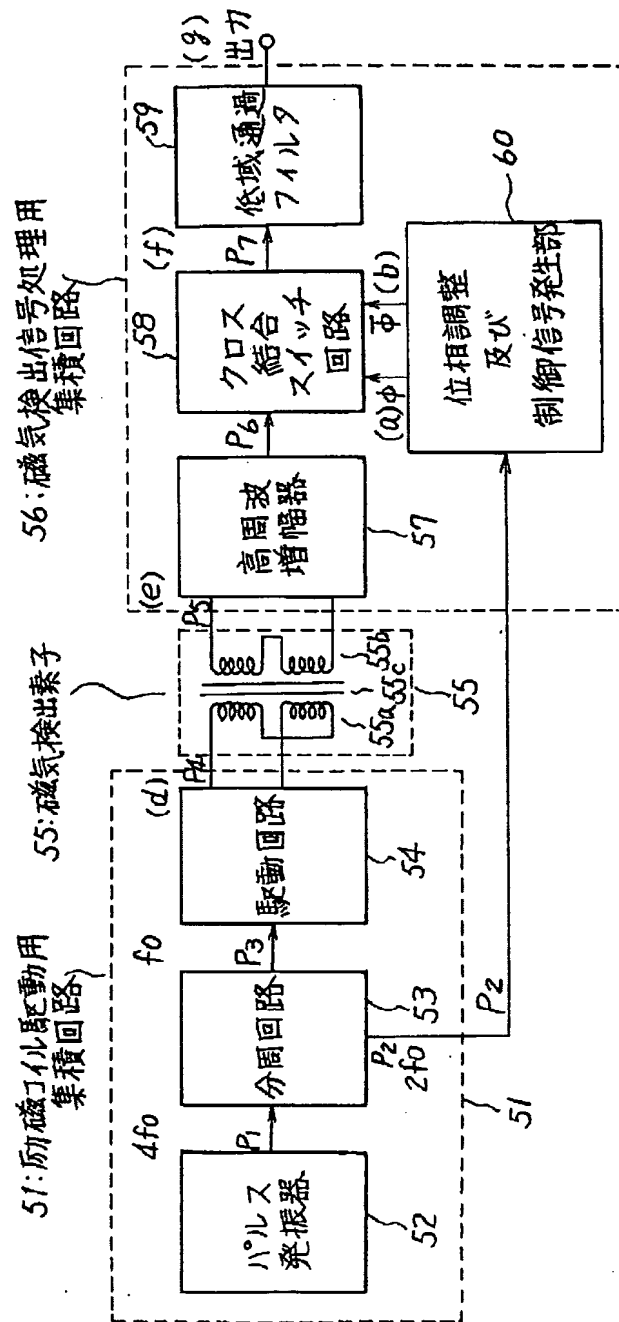
【図14】



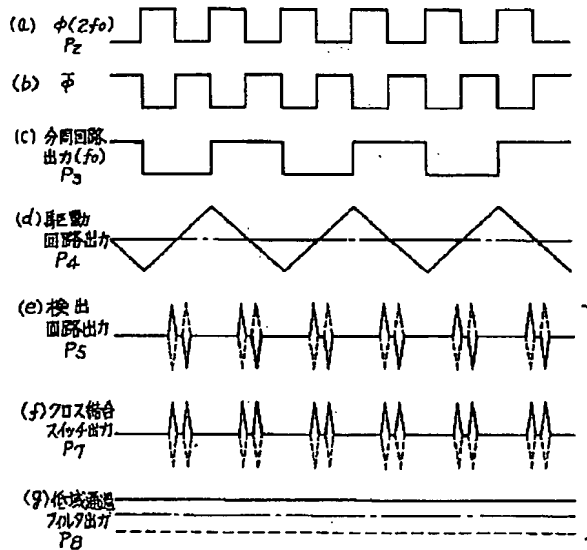
【図15】



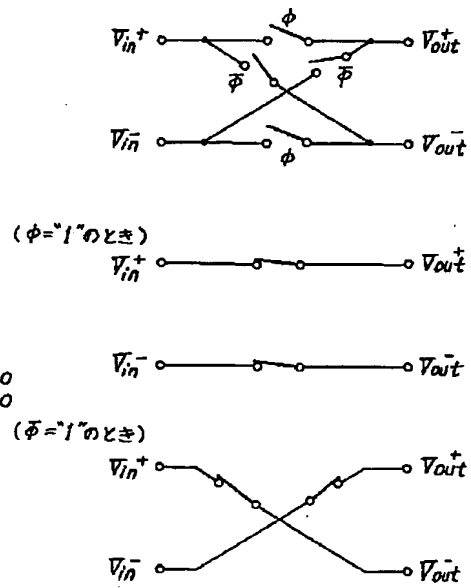
【図11】



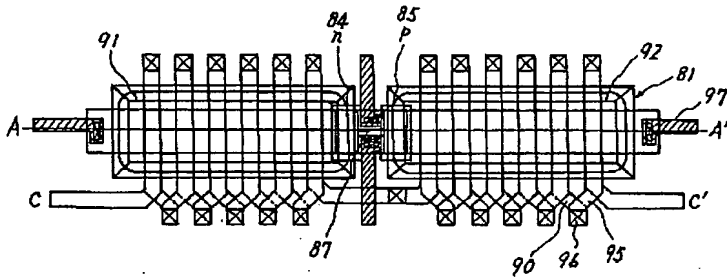
【図12】



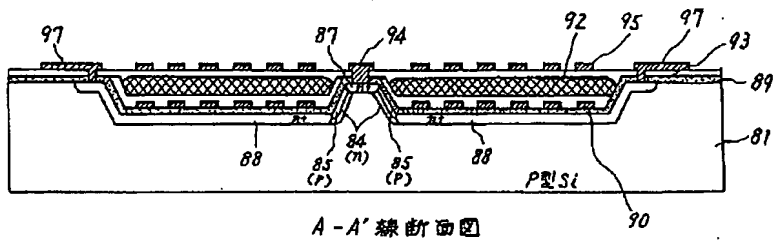
【図13】



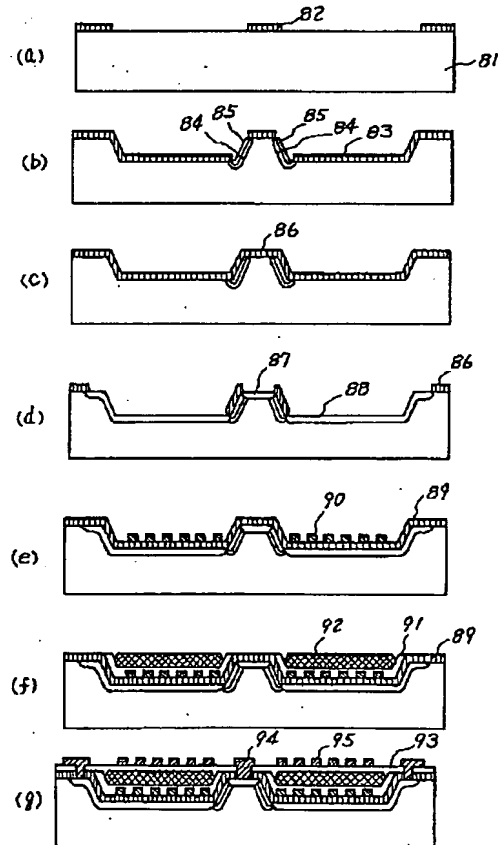
【図16】



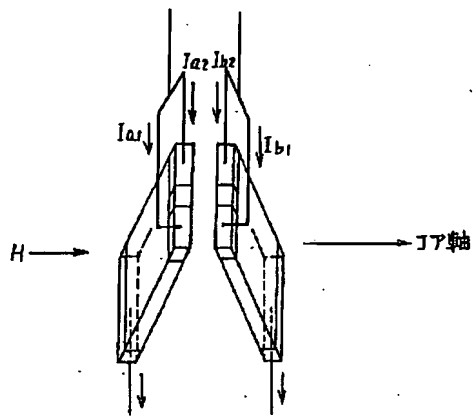
【図17】



【図19】



【図18】



【図21】

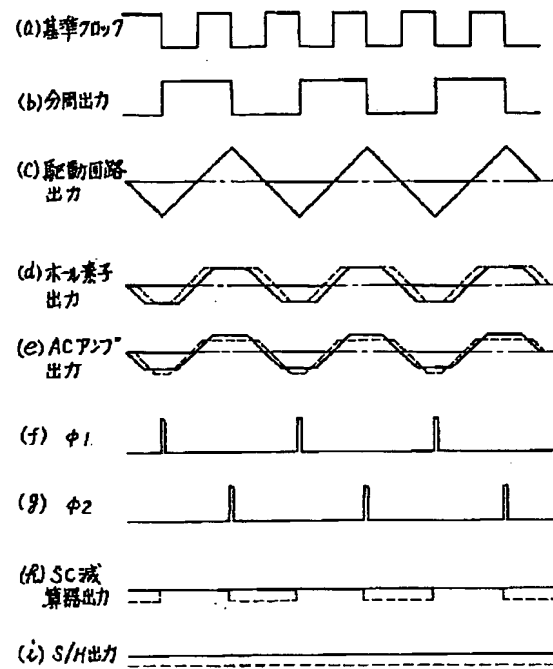


Figure 1 is a block diagram of a switching capacitor (SC) calculator. The system includes a pulse generator (101) which provides a signal (a) to a frequency divider circuit (102). The output (b) of the frequency divider is connected to a driver circuit (103), which in turn drives an AC amplifier (108). The output of the AC amplifier is connected to the input of a MOS-type calculator (110). The MOS-type calculator consists of a differential amplifier (111) and a summing junction (112). The differential amplifier has two inputs, one connected to the output of the AC amplifier and the other to a feedback loop (120). The summing junction (112) is connected to the output of the differential amplifier and to a feedback loop (121). The output of the MOS-type calculator is connected to a feedback loop (122) and an S/H circuit (123). The S/H circuit is connected to the output of the MOS-type calculator and to a feedback loop (124). The output of the S/H circuit is connected to the input of the MOS-type calculator. The output of the MOS-type calculator is also connected to a feedback loop (125).